

공개특허특2000-0011190

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
G02F 1/136(11) 공개번호 특2000-0011190
(43) 공개일자 2000년02월25일

(21) 출원번호 10-1999-0007340

(22) 출원일자 1999년03월05일

(30) 우선권주장 98-2180551998년07월31일일본(JP)

(71) 출원인 후지쯔 가부시끼가이샤 아끼구사 나오유키
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1(72) 발명자 아사다가쓰시게
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쓰가부시끼가
이샤내(74) 대리인 문기상
문두현
황태청

심사청구 : 있음

(54) 액정표시패널

요약

본 발명은 액정표시패널에 관한 것으로, 고정세, 고개구율을 만족할 수 있고, 또한 정전기에 의한 소자파괴가 발생하지 않도록 하는 것을 목적으로 한다.

한 쌍의 기관과 상기 한 쌍의 기관간에 삽입된 액정을 포함하고, 상기 한 쌍의 기관의 1개의 기관은 복수의 게이트 버스라인(26)과, 상기 게이트버스라인에 대해서 직교하는 방향으로 배치된 복수의 드레인버스라인(28)과, 복수의 화소전극(22)과, 복수의 박막트랜지스터(30)를 가지며, 각 박막트랜지스터는 게이트버스라인에 접속된 게이트전극(32)과, 게이트절연층과, 반도체활성층(36)과, 채널보호막(38)과, 드레인버스라인의 일부로 형성된 드레인전극(40)과, 화소전극에 접속된 소스전극(42)을 구비하고, 상기 드레인전극 및 상기소스전극중의 적어도 한쪽은 반도체활성층의 단면과 겹치는 위치에 잘록부(48,50)를 갖는 구성으로 한다.

대표도

도1

색인어

액정 표시 패널

명세서

도면의 간단한 설명

도1은 본발명의 제1실시예의 액정표시패널을 나타낸 도면.

도2는 액정표시패널을 나타낸 단면도.

도3은 박막트랜지스터의 부분을 확대한 도1의 부분확대도.

도4는 도3의 선IV-IV를 따른 박막 트랜지스터의 단면도.

도5는 도3의 선V-V를 따른 박막 트랜지스터의 단면도.

도6은 본 발명의 제2실시예의 액정표시패널을 나타낸 도면.

도7은 본 발명의 제3실시예의 액정표시패널을 나타낸 도면.

도8은 본 발명의 제4실시예의 액정표시패널을 나타낸 도면.

도9는 본 발명의 제5실시예의 액정표시패널을 나타낸 도면.

도10은 도9의 실시예의 변형예를 나타낸 도면.

[부호의 설명]

10 : 액정표시패널

12, 14 : 기판

16 : 액정

18, 22 : 전극

20, 24 : 배향막

26 : 게이트 버스라인

28 : 드레인 버스라인

30 : 박막 트랜지스터

32 : 게이트 전극

34 : 게이트 절연층

36 : 반도체 활성층

38 : 채널 보호막

40 : 드레인 전극

42 : 소스 전극

48, 50, 52 : 절록부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 액티브 매트릭스 구동의 액정표시패널에 관한 것이다.

액정표시패널은 한 쌍의 기판간에 삽입된 액정을 포함하고, 액정에 전압을 인가함으로써 화상을 형성하는 것이다. 액티브 매트릭스구동의 액정표시패널은 능동소자로서 복수의 박막 트랜지스터(TFT)를 포함한다. 박막 트랜지스터는 게이트 버스라인 및 드레인 버스라인과 화소전극과 함께 한쪽 기판에 형성되어 있다.

각 박막 트랜지스터는 게이트 버스라인에 접속된 게이트전극과, 게이트 절연층과, 반도체 활성층과, 채널보호막과, 드레인 버스라인과 접속된 드레인전극과, 화소전극에 접속된 소스전극등을 구비한다. 채널보호막은 반도체 활성층의 중앙부분을 덮고, 드레인전극 및 소스전극은 채널보호막 외측에서 반도체 활성층에 접속되어 있다.

전형적인 박막 트랜지스터에서는 게이트 버스라인으로부터 수직으로 암 또는 돌기를 연장시켜서 게이트전극으로 하고, 드레인 버스라인으로부터 수직으로 암 또는 돌기를 연장시켜서 드레인전극으로하고, 그리고 소스전극을 반도체 활성층의 드레인전극과는 반대측에 설치해서 화소전극에 접속한다. 이 경우에 게이트전극은 게이트 버스라

인보다도 내측으로 연장시켜서 화소전극을 형성해야할 영역을 좁히고, 드레인전극은 드레인 버스라인보다도 내측으로 연장시켜서 화소전극을 형성해야할 영역을 좁혀서 개구율을 낮게 한다. 또한 드레인전극, 소스전극 및 소스전극과 화소전극과의 접속부가 일직선상에 위치하고 있으면 화소전극을 형성해야할 영역이 더욱더 좁아져서 개구율이 더욱 낮아진다.

이에 대해서 박막 트랜지스터의 드레인전극을 드레인 버스라인에 의해서 형성한 것이 있다. 즉 드레인전극은 드레인 버스라인으로부터 수직으로 연장시킨 암 또는 돌기로 형성되는 것이 아니라, 똑바른 드레인 버스라인의 일부로서 형성된다. 이에 따라 드레인 버스라인보다도 내측의 화소전극을 형성해야할 영역이 확대되어 개구율이 향상한다. 이 경우에 소스전극을 드레인 버스라인에 대해 평행하게 설치하면 더욱 개구율이 향상한다.

발명이 이루고자하는 기술적 과제

근년에 액정표시패널은 보다 밝고, 보다 미세한 정보를 표시할 필요에서 고정세, 고개구율이 요구되고 있으며, 이로 인해 배선 패턴의 미세화, 박막 트랜지스터의 소형화가 진척되고 있다. 박막 트랜지스터의 크기가 작아지면 드레인전극과 반도체 활성층과의 전기적 접촉점과 반도체 활성층과 소스전극과의 전기적 접촉점간의 거리가 짧아져서 드레인 버스라인으로부터 침입한 정전기가 반도체 활성층에서 방전하여 소자파괴가 생기는 일이 있다. 특히 박막 트랜지스터의 드레인전극을 드레인 버스라인으로 형성한 경우에는 드레인전극과 반도체 활성층의 단면이 교차하고, 이 교차점이 드레인전극과 반도체 활성층과의 전기적 접촉점이 되므로 드레인전극과 반도체 활성층과의 전기적 접촉점과, 반도체 활성층과 소스전극과의 전기적 접촉점간의 거리가 특히 짧아져서 소자파괴가 생기기 쉽다.

본 발명의 목적은 고정세, 고개구율을 만족할 수 있고, 또한 정전기에 의한 소자파괴가 생기지 않는 액정표시패널을 제공하는 데 있다.

발명의 구성 및 작용

본 발명에 의한 액정표시패널은 한 쌍의 기판과, 상기 한 쌍의 기판간에 삽입된 액정을 포함하고, 상기 한 쌍의 기판의 1개 기판은 복수의 게이트 버스라인과 상기 게이트 버스라인에 대해서 직교하는 방향으로 배치된 복수의 드레인 버스라인과, 복수의 화소전극과, 복수의 박막트랜지스터를 가지며, 각 박막 트랜지스터는 게이트 버스라인에 접속된 게이트전극과, 게이트절연층과, 반도체 활성층과, 채널보호막과, 드레인 버스라인의 일부로 형성된 드레인전극과, 화소전극에 접속된 소스전극을 구비하고, 상기 드레인전극 및 상기 소스전극중 적어도 한쪽은 반도체 활성층의 단면과 겹치는 위치에 잘록부를 갖는 것을 특징으로 하는 것이다.

이 구성에서는 드레인전극 및 소스전극중 적어도 한쪽은 반도체 활성층의 단면과 겹치는 위치에 잘록부를 갖는다. 예를 들어 드레인전극에 대해서 설명하면 드레인전극은 기본적으로 똑바른 드레인 버스라인의 일부분으로서 형성된 것이지만, 드레인전극의 반도체 활성층의 단면과 겹치는 위치에 잘록부가 형성되어있으므로, 드레인전극과 반도체 활성층은 이 잘록부에서는 전기적으로 접촉되지 않고, 양자의 전기적인 접촉점은 소스전극으로부터 멀어지는 방향으로 이동한다. 그 결과 드레인전극과 반도체 활성층과의 전기적 접촉점과, 반도체 활성층과 소스전극과의 전기적 접촉점간의 거리가 길어져서, 드레인 버스라인으로부터 침입한 정전기가 반도체 활성층에서 방전하는 일이 없어져서 소자파괴가 생기지 않게 된다. 또 소스전극에 잘록부를 형성할 경우에도 마찬가지로 드레인전극과 반도체 활성층과의 전기적 접촉점과, 반도체 활성층과 소스전극과의 전기적 접촉점간의 거리가 길어져서, 드레인 버스라인으로부터 침입한 정전기가 반도체 활성층에서 방전하는 일이 없어져서 소자파괴가 생기지 않게 된다.

이렇게해서 본 발명에서는 드레인전극 및/또는 소스전극에 잘록부를 형성함으로써 채널 오프시 혹은 비구동시의 실효적인 소스전극과 드레인전극간의 거리를 크게 취함으로써, 마스크수 증가등의 코스트상승이나 패널개구율의 저하를 일으키는 일이 없이 액정표시패널의 정전기에 의한 소자내압을 향상시킬 수 있어서 패널의 제조수율 및 표시품질 향상을 실현하는 것이다.

(실시예)

도1은 발명의 제1실시예의 액정표시패널을 나타낸 도면이고, 도2는 액정표시패널을 나타낸 단면도이다.

도2에서 액정표시패널(10)은 한쌍의 투명한 유리기판(12,14)과, 이들 기판 (12,14)간에 삽입된 액정(16)을 포함한다. 한쪽의 기판(12)은 전극(18) 및 배향막 (20)을 포함하고, 다른쪽 기판(14)은 전극(22) 및 배향막(24)을 포함한다. 예를 들어 한쪽 기판(12)의 전극(18)은 공통전극이고, 다른쪽 기판(14)의 전극(22)은 화소전극이다. 공통전극(18)과 화소전극(22)간에 전압을 인가하여 화소를 형성한다.

도1은 화소전극(22)을 가지는 기판(14)에 설치된 액티브 매트릭스의 구성을 나타낸 도면이다. 도3은 1개의 박막 트랜지스터(30)의 부분을 확대한 도1의 부분확대도이다.

기판(14)은 행방향으로 연장된 복수의 게이트 버스라인(26)과, 게이트 버스라인(26)에 대해서 직교하도록 열방향으로 연장하는 복수의 드레인 버스라인(28)과, 게이트 버스라인(26)과 드레인 버스라인(28)에 의해서 대강 구획된 영역에 배치된 복수의 화소전극(22)과, 화소전극(22)을 구동하기 위한 복수의 박막 트랜지스터(TFT)(30)를 가진다.

도4는 도3의 선 IV-IV를 따른 박막 트랜지스터의 단면도, 도5는 도3의 선 V-V를 따른 박막 트랜지스터의 단면도이다.

각 박막 트랜지스터(30)는 게이트 버스라인(26)에 접속된 게이트전극(32)과, 게이트 절연층(34)과, 반도체 활성층(36)과, 채널보호막(38)과, 드레인 버스라인(28)으로 형성된 드레인전극(40)과, 화소전극(22)에 접속된 소스전극(42)을 구비한다. 드레인전극(40) 및 소스전극(42)이 서로 대향하는 내측 부분이 채널보호막(38)에 얹히고, 드레인전극(40) 및 소스전극(42)의 외측 부분이 각각 반도체활성층(36)의 외측 부분에 접촉하고 있다. 반도체 활성층(36)의 중앙부분이 채널을 형성한다.

절연층(44)이 박막 트랜지스터(30) 및 버스라인(26, 28)을 덮어서 형성되고, 화소전극(22)은 절연층(44)상에 형성된다. 도1에 나타난 것처럼 콘택트홀(46)이 절연층(44)에 형성되고, 화소전극(22)은 콘택트홀(46)을 통해 소스전극(42)에 접속된다. 또한 이 기판(14)에는 도2에 표시된 배향막(24)이 형성된다.

예를 들어 게이트 버스라인(26) 및 게이트전극(32)은 Cr층으로서 기판(14)의 표면에 형성된다. 게이트절연층(34)은 SiN층이고 반도체 활성층(36)은 a-Si층이며, 채널보호막(38)은 SiN층이다. 드레인 버스라인(28), 드레인전극(40) 및 소스전극(42)은, n+a-Si 및 Ti/Al/Ti의 다층 구조이다.

이 액티브 매트릭스기판(14)은 하기의 순서로 만들어진다. (a) 유리기판(14)에 Cr막 150nm를 스퍼터법에 의해서 성막하여, 게이트 버스라인(26) 및 게이트전극(32)을 형성한다. (b) P-CVD법에 의해 게이트 절연막(32)을 SiNx로 400nm, 반도체 활성층(36)을 a-Si로 300nm, 채널보호막(38)을 SiNx로 120nm를 연속적으로 적층 성막한다. (c) 채널보호막(38)을 형성하기 위해 게이트전극(32)에 의한 배면 노광에 의한 셀프 얼라인먼트 및 포토마스크에 의해서 채널상에만 레지스트패턴을 형성한다. (d) 레지스트패턴에 의해서 채널보호막(38)을 에칭한다. 이어서 레지스트를 박리, 제거하고 표면의 자연산화막을 제거하기 위해서 희불산으로 10sec 정도 에칭한다.

(e) 드레인 버스라인(28), 드레인전극(40) 및 소스전극(42)을 위해 오믹콘택트층의 n+a-Si, 및 Ti/Al/Ti를 순차적으로 적층 성막한다. (f) 드레인 버스라인(28), 드레인전극(40) 및 소스전극(42)의 형상에 맞추어서 레지스트 패터닝을 행한다. (g) 플라즈마 에칭에 의해 Ti/Al/Ti, n+a-Si, a-Si를 순차적으로 에칭한다. (h) P-CVD법에 의해 보호막(44)을 SiNx로 330nm의 두께로 형성한다.

(i) 포토레지스트를 도포하고, 콘택트홀(46)의 형상으로 패터닝을 한다. (j) 플라즈마 에칭법에 의해 보호막(44)를 에칭하여 콘택트홀을 형성한다. (k) 스퍼터법에 의해 ITO를 70nm 성막한다. (l) 포토레지스트를 전면도포하고 화소전극(22)의 형상으로 패터닝한다. (m) 웨트 에칭법에 의해 ITO를 에칭, 제거한다.

도1 및 도3에 나타난 바와같이 각 박막 트랜지스터(30)는 인접하는 2개의 게이트 버스라인(26) 사이에서(도1에서 보아) 하방의 게이트 버스라인(26) 근처의 위치에 배치된다. 게이트전극(32)은 인접하는 2개의 게이트 버스라인(26) 중(도1에서 보아) 상방의 게이트 버스라인(26)으로부터 드레인 버스라인(28)을 따라서 하방으로 연장한다. 도3에서는 게이트전극(32)의 한 단면이 32a로 나타나 있고, 반도체활성층(36)의 선단면이 36a로 나타나 있다. 도3 및 도5에 나타난 바와같이 게이트전극(32)의 선단면(32a)은 반도체 활성층(36)의 단면(36a)과 수직으로 정렬한 위치에 있다. 마찬가지로 채널보호막(38)의 단면도 이들 단면(32a, 36a)과 정렬한 위치에 있다. 또한 반도체 활성층(36)은 다른 단면 36b(도3)를 가지며, 채널보호막(38)도 마찬가지로 다른 단면을 가진다.

도1에 나타난 바와같이 인접하는 2개의 게이트 버스라인(26) 및 인접하는 2개의 게이트전극(32)은 거의 직사각형상의 틀을 형성한다. 화소전극(22)은 4변을 포함한 거의 직사각형상 부분(22a)이 이 직사각형상 부분(22a)의 대각선의 연장상에 돌출한 돌출부분(22b)을 갖는다. 화소전극(22)의 거의 직사각형상 부분(22a)이 이 직사각형상의 틀에 배치되고, 화소전극(22a)의 돌출부분(22b)은 게이트 버스라인(26)과 겹치는 위치에 형성된다. 콘택트홀(46)은 돌출부분(22b)의 위치에 형성된다.

박막 트랜지스터(30)는 드레인 버스라인(28)과 겹치는 위치에 형성되어 있다. 소스전극(42)은 게이트 버스라인

(26)과는 평행한 방향으로 그다지 튀어나오는 일이 없이 드레인 버스라인(28)과 평행하게 하향으로 연장한다. 소스전극(42)은 하향으로 연장한후, 직각으로 구부러져서 하측의 게이트 버스라인(26)과 겹쳐서 연장한다.

이와같이 게이트버스라인(26) 및 게이트전극(32)은 거의 직사각형상의 틀을 형성하고, 박막 트랜지스터(30)는 드레인 버스라인(28)에 치우친 위치에 형성되어 화소개구부를 형성해야할 영역내에 돌출하는 부재가 적으므로, 개구율이 높은 액정표시장치를 실현할 수 있다. 또 게이트 버스라인(26) 및 게이트전극(32)이 차광막으로서 작용하며 박막 트랜지스터(30)의 부분 이외에는 종래의 블랙매트릭스를 형성할 필요가 없기 때문에, 개구율이 높은 액정표시장치를 실현할 수 있다.

도1 및 도3에 나타난 바와같이, 드레인 버스라인(28)은 기본적으로 똑바른 띠형상의 도체로 형성된다. 드레인전극(40)은 드레인 버스라인(28)으로부터 가로로 돌출함이 없이 똑바른 드레인 버스라인(28)의 일부분이다. 드레인전극(40)은 드레인 버스라인(28)의 박막 트랜지스터(30)가 위치하는 부분이다. 드레인전극(40)(또는 드레인 버스라인(28))은 반도체활성층(36) 및 채널보호층(38)의 위를 반도체활성층(36)의 단면(36a, 36b)와 교차해서 연장한다.

본 발명에서는 드레인전극(40)은 반도체 활성층(36)의 단면(36a, 36b)과 겹치는 위치에 잘록부(48, 50)를 가진다. 잘록부(48, 50)은 드레인전극(40)(또는 드레인버스라인(28))의 소스전극(42)에 대면하는 측에 반도체 활성층(36)의 단면(36a, 36 b)을 우회하도록 형성한 노치이다.

잘록부(48, 50)의 작용에 대해서 설명한다. 도4에 나타난 바와같이 드레인전극(40) 및 소스전극(42)의 외측부분이 각각 반도체 활성층(36)의 외측부분에 접촉하여 채널을 형성하고 있다. 드레인전극(40) 및 소스전극(42)의 내측부분은 각각 채널보호막(38)상에 얹혀있으며, 드레인전극(40) 및 소스전극(42)은 채널보호막(38)상에서 반도체 활성층(36)에 전기적으로 접촉하지 않는다. 그러나 만약 드레인전극(40)에 잘록부(48, 50)가 없으면, 드레인전극(40)의 내측부분은 반도체활성층(36)의 단면(36a)에 접촉하게 된다. 즉 드레인전극(40)의 내측부분은 도5에서 파선으로 개략적으로 나타난 바와 같이 채널보호막(38)의 양단에서 하향으로 연장하여 반도체활성층(36)의 단면(36a)에 접촉한다.

따라서 드레인전극(40)에 잘록부(48, 50)가 없는 경우의 드레인전극(40)과 반도체 활성층(36)의 단면(36a)과의 접촉점의 일례가 도3에 A로 나타나 있고, 소스전극(42)의 반도체 활성층(36)의 단면(36a)의 일례가 도3에 B로 나타나 있으며 접촉점 A와 접촉점 B간의 거리 1이 대단히 짧아진다. (도시의 거리 A-B는 접촉점간의 최단 거리이다.) 드레인전극(40)-반도체활성층(36)-소스전극(42)간의 거리가 이처럼 작으면, 드레인 버스라인(28)에 침입한 정전기가 반도체활성층(36)에서 방전하여 박막트랜지스터(30)가 파괴되는 일이 있다.

본 발명에서는 드레인전극(40)에 잘록부(48)이 형성되어, 드레인전극(40)이 반도체 활성층(36)의 단면(36a)과 접촉하지 않는(혹은 접촉점이 소스전극으로부터 먼 쪽으로 이동한다.) 따라서 드레인전극(40)과 반도체활성층(36)과의 접촉점은 도3의 C로 되고, 드레인전극(40)-반도체 활성층(36)-소스전극(42)간의 거리 L은 길어진다. 드레인전극(40)-반도체 활성층(36)-소스전극(42)간의 거리 L가 어느정도 이상 길어지면, 드레인 버스라인(28)에 침입한 정전기는 드레인 버스라인(28)의 용량에 흡수되어, 박막 트랜지스터(30)가 파괴되는 일이 없어진다. 이렇게 해서 내절연성을 향상시켜 정전파괴를 방지한다.

그리고 또 다른 쪽의 잘록부(50)에 대해서도 드레인전극(40)과 반도체 활성층(36)의 단면(36b)과의 접촉점을 어긋나게 하여 드레인전극(40)-반도체활성층(36) -소스전극(42)간의 거리를 길게 하는 효과가 있다. 또한 드레인전극(40)에 잘록부(48, 50)를 형성함으로써 드레인 버스라인(28)의 저항이 증대하지만, 잘록부(48, 50)는 대단히 한정된 영역에 있으므로, 드레인 버스라인(28)의 저항의 증가는 허용되는 범위내로 할 수 있다.

실시예에서 소자분리공정(상기의 공정(f))의 패터닝에서 드레인전극(40)에 잘록부(48, 50)를 형성한다. 이에 따라 개구율의 저하를 수반하지 않고 충분히 긴 소스-드레인간 거리를 실현할 수 있다. 드레인 버스라인을 전체적으로 가늘게 함으로써 마찬가지로 효과를 실현할 수 있지만, 그렇게 할 경우 버스라인 저항이 너무 높아져서 표시품질이 저하한다. 본 발명에 의하면 액정표시패널의 드레인측으로부터 주어지는 정전기에 대한 정전내압의 향상을 실현할 수 있었다.

도6은 본 발명의 제2실시예의 액정패널을 나타낸 도면이다. 도1의 실시예에서는 드레인전극(40)에 2개의 잘록부(48, 50)가 형성되어 있는 데 대해서, 이 실시예에서는 드레인전극(40)에 1개의 잘록부(48)이 형성되어 있다. 이 잘록부(48)는 소스전극(42)이 반도체 활성층(36)의 단면(36a)과 교차하는 측에 형성되어있다. 작용은 앞의 실시예와 거의 마찬가지이다.

도7은 본 발명의 제3실시예의 액정표시패널을 나타낸 도면이다. 도1의 실시예에서는 드레인전극(40)에 잘록부(48,50)가 형성되어 있는 데 대해서, 이 실시예에서는 소스전극(42)에 잘록부(52)가 형성되어 있다. 이 경우에는 잘록부(52)는 소스전극(42)의 반도체 활성층(36)의 단면(36a)과의 접촉점을 드레인전극(40)으로부터 멀어지는 방향으로 어긋나게 하여 드레인전극(40)-반도체 활성층(36)-소스전극(42)간의 거리를 길게 해서 박막트랜지스터(30)의 내절연성을 향상시키고 정전파괴를 방지한다. 이 예는 드레인 버스라인의 폭이 대단히 가늘어 드레인전극(40)에 잘록부를 형성하면 버스라인저항이 상당히 증대하여 문제를 생기게 하는 경우에 적용할 수 있다.

도8은 본 발명의 제4실시예의 액정표시패널을 나타낸 도면이다. 이 실시예에서는 드레인전극(40)에 잘록부(48,50)가 형성되어 있음과 동시에, 소스전극(42)에도 잘록부(52)가 형성되어 있다. 따라서 드레인전극(40)-반도체 활성층(36)-소스전극(42)간의 거리 L 은 상당히 길어지고, 박막 트랜지스터(30)의 내절연성을 향상시켜 정전파괴를 방지하고 보다 큰 정전내압을 실현하는 것이다.

어드벤처 테스트의 ESD시험기를 사용하여 측정한 정전내압은 $c=200\text{pF}$, 0

Ω

에서 종래예에서는 200V이었던 것이, 도8의 실시예의 구조로는 400V와 같이 2배의 정전압을 갖는 것을 알았다. 시작에 있어서의 프로세스 조건은 종래와 같이 포토마스크의 변경만으로 제작하였다. 이에 따라 정전기에 의한 소자파괴 불량률이 큰 폭으로 감소하였다. 또 패턴형상만의 변경으로 프로세스 자체의 변경은 불필요하기 때문에 적용에 있어서도 신뢰성의 향상에 아무런 문제가 생기는 일이 없으며, 또한 코스트에 대한 영향도 근소하다.

도9는 본 발명의 제5실시예의 액정표시패널을 나타낸 도이다. 이 실시예에서는 드레인전극(40)에 잘록부(48,50)가 형성되어 있음과 동시에, 소스전극(42)에도 잘록부(52)가 형성되어 있다. 또한 소스전극(42)의 잘록부(52)에서는 잘록부(52)의 한쪽측 벽(42a)을 소스전극(42)의 콘택트홀(46)을 갖는 부분의 폭과 같게 하고, 그 폭을 도1로부터 도8의 것의 폭보다도 크게 하고 있다. 따라서 드레인전극(40)-반도체 활성층(36)-소스전극(42)간의 거리는 상당히 길어져서, 박막 트랜지스터(30)의 내절연성을 향상시켜 정전파괴를 방지함과 동시에, 소스전극(42)의 저항을 더욱 작게 할 수 있다.

도10은 도9의 실시예를 나타낸 도이다. 잘록부(48,50,52)가 도9의 경우와 마찬가지로 형성된다. 도10에서 드레인 버스라인(28)의 폭 a는 $5\mu\text{m}$, 잘록부(48,50)의 부분에서의 드레인전극(40)의 폭 b는 $4\mu\text{m}$, 따라서 잘록부(48,50)의 길이는 $1\mu\text{m}$ 이다. 잘록부(48,50)의 길이 c는 $4\mu\text{m}$ 이다. 또한 소스전극(42)의 폭 d는 $4\mu\text{m}$, 폭 e는 $6.75\mu\text{m}$, 폭 f는 $4\mu\text{m}$, 폭 g는 $1.25\mu\text{m}$ 이고, 길이 h는 $5\mu\text{m}$ 이다. 또한 도10에는 박막트랜지스터(14)를 덮는 블랙 마스크(BM)가 나타내어져 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면 개구율이 높고 또한 정전내압이 높은 액정표시패널을 얻을 수가 있다.

(57) 청구의 범위

청구항1

한 쌍의 기관과, 상기 한 쌍의 기관간에 삽입된 액정을 포함하고, 상기 한 쌍의 기관의 1개 기관은 복수의 게이트 버스라인과, 상기 게이트 버스라인에 대해서 직교하는 방향으로 배치된 복수의 드레인 버스라인과, 복수의 화소전극과, 복수의 박막 트랜지스터를 가지고, 각 박막 트랜지스터는 게이트 버스라인에 접속된 게이트전극과, 게이트절연층과, 반도체활성층과, 채널보호막과, 드레인 버스라인으로 형성된 드레인전극과, 화소전극에 접속된 소스전극을 구비하고, 상기 드레인전극 및 상기 소스전극의 적어도 한쪽은 반도체활성층의 단면과 접치는 위치에 잘록부를 갖는 것을 특징으로 하는 액정표시패널.

청구항2

제1항에 있어서,

상기 드레인전극이 반도체활성층의 단면과 접치는 위치에 잘록부를 갖는 것을 특징으로 하는 액정표시패널.

청구항3

제1항에 있어서,

상기 소스전극이 반도체활성층의 단면과 접치는 위치에 잘록부를 갖는 것을 특징으로 하는 액정표시패널.

청구항4

제1항에 있어서,

상기 드레인전극 및 상기 소스전극이 다같이 반도체활성층의 단면과 겹치는 위치에 잘록부를 갖는 것을 특징으로 하는 액정표시패널.

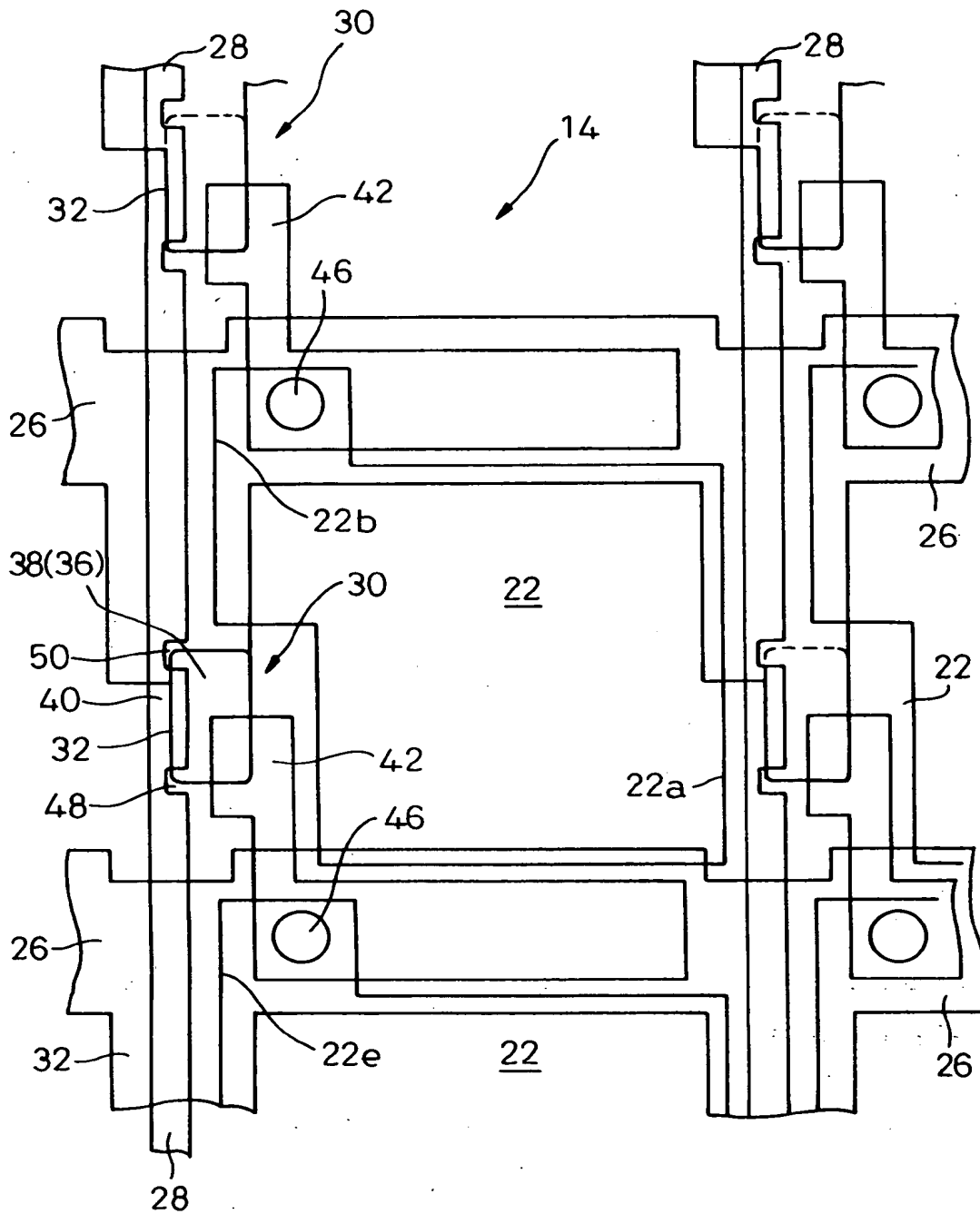
청구항5

제1항에 있어서,

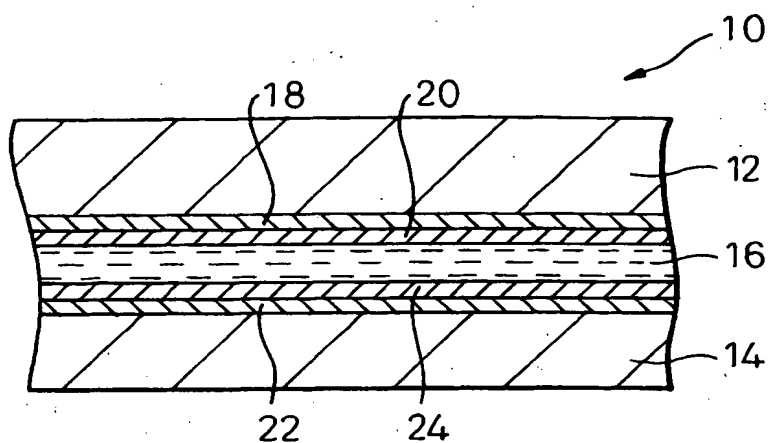
각 박막 트랜지스터는 2개의 게이트버스라인 사이에 배치되고, 상기 게이트전극은 한쪽의 게이트 버스라인으로부터 드레인 버스라인을 따라 연장하고, 소스전극은 게이트전극이 연장하는 것과 동일한 방향으로 다른 쪽의 게이트 버스라인을 향해 연장하고, 상기 다른 쪽의 게이트 버스라인과 중첩하는 위치에서 화소전극에 접속되는 것을 특징으로 하는 액정표시패널.

도면

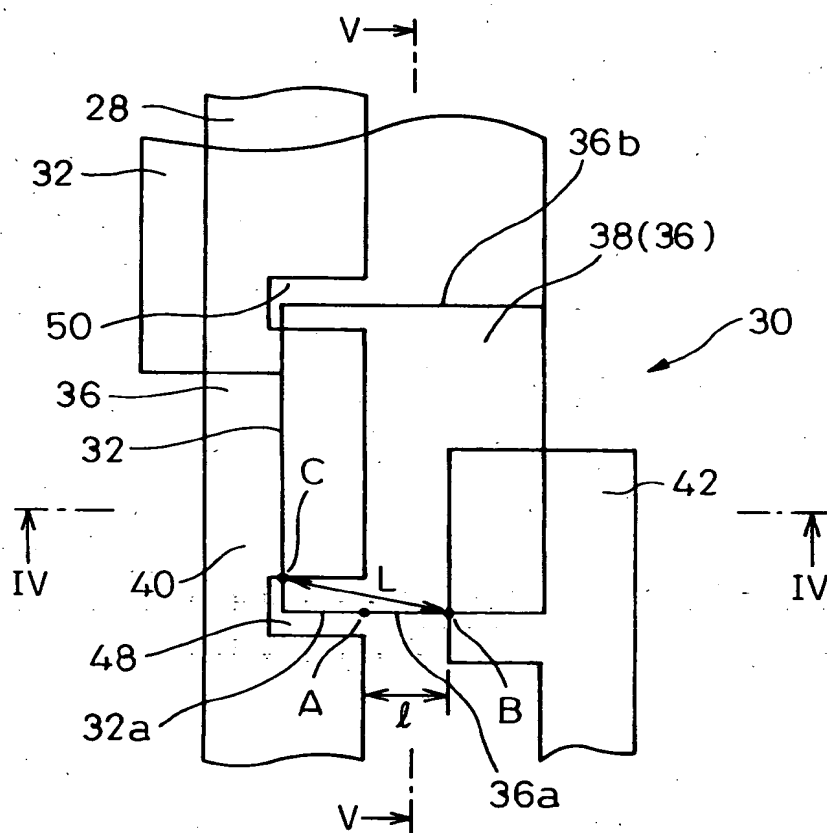
도면1



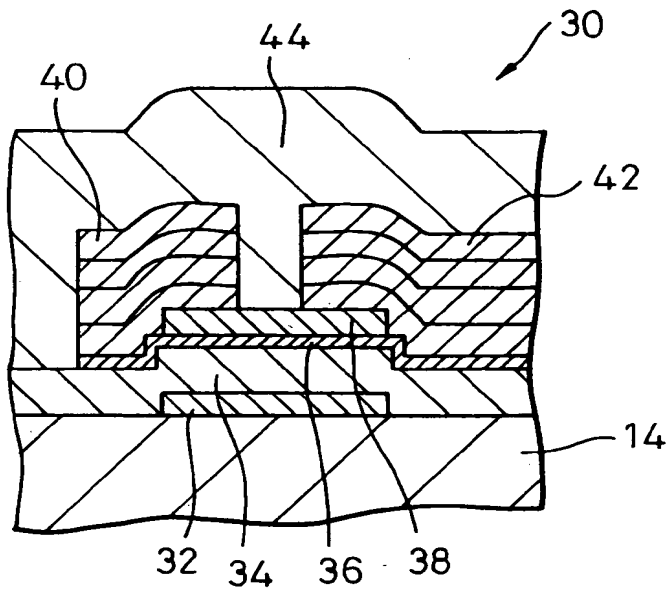
도면2



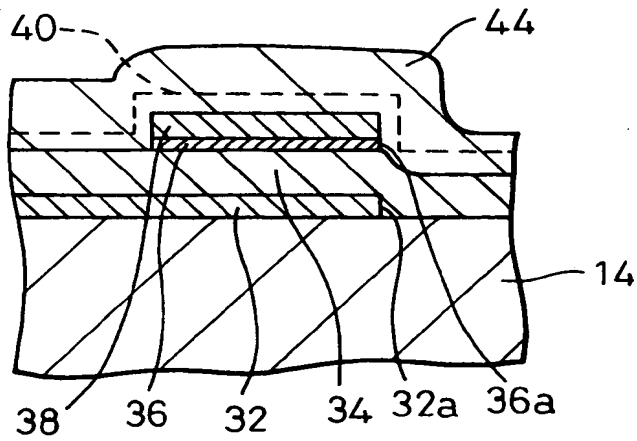
도면3



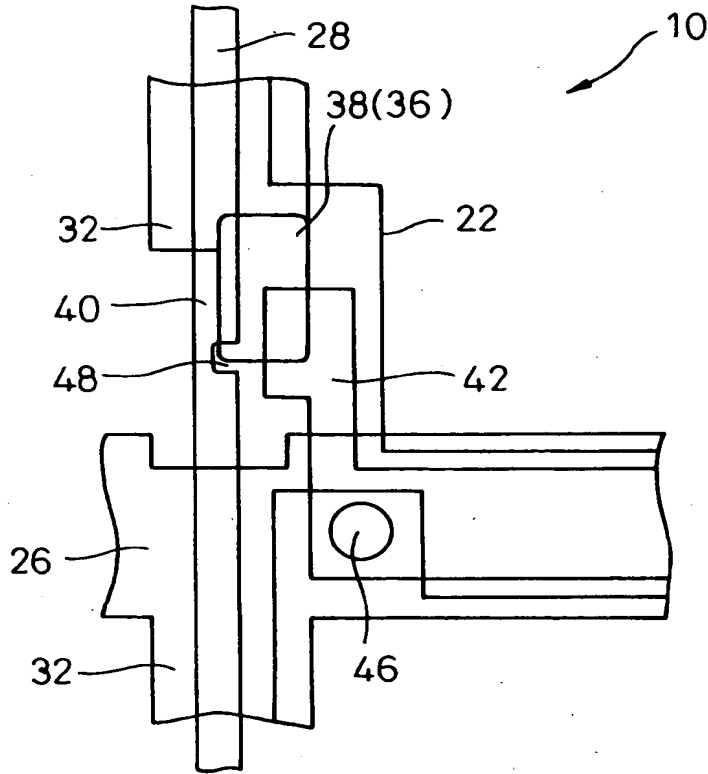
도면4



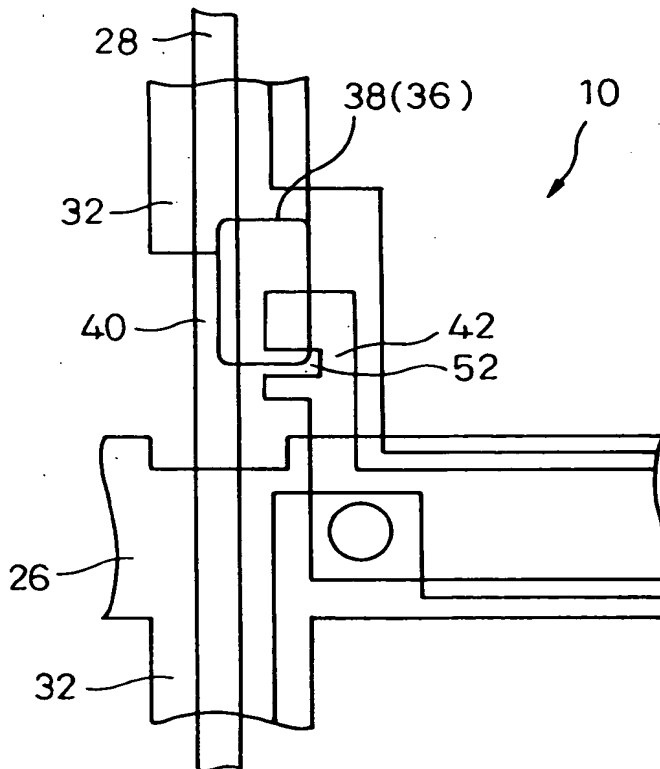
도면5



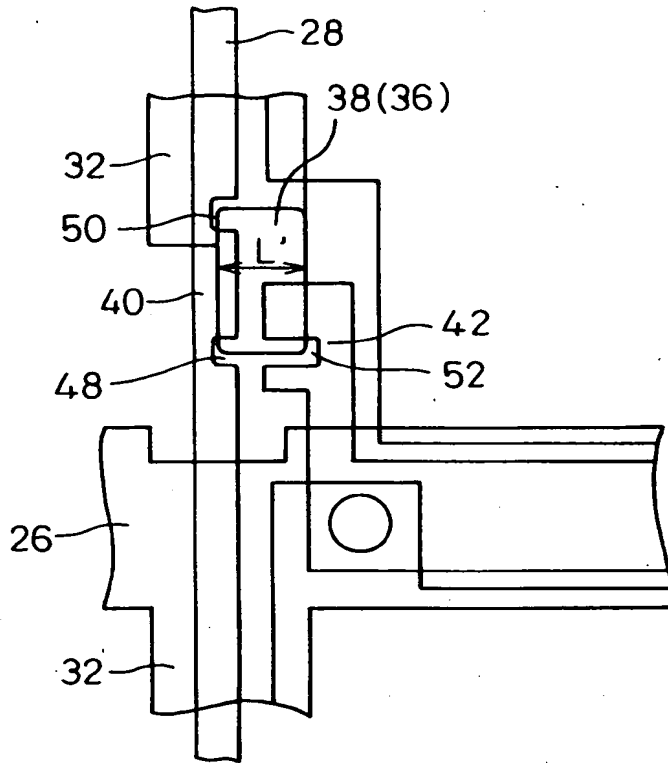
도면6



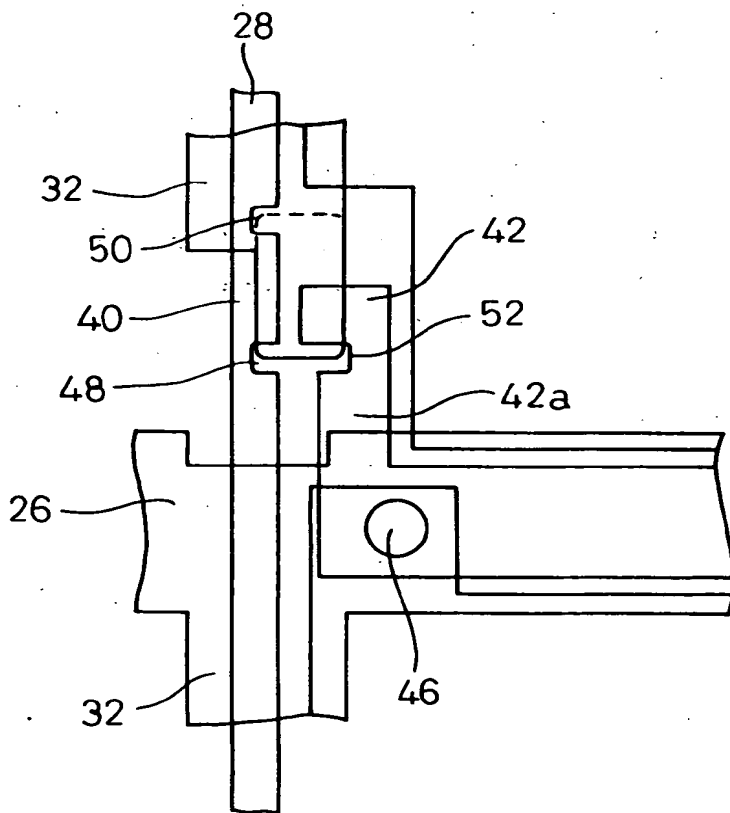
도면7



도면8



도면9



도면10

